

M2

Digital Microelectronics

Contents

C1 : Architecture des ordinateurs - niveau 2

- Gestion des interruptions

- Mémoire, caches

- Unité de traitement, pipeline

- Architectures RISC, super-scalaires, spécialisées

C2 : Programmation d'architectures spécialisées (micro-contrôleurs, DSP)

- Applications : traitements du signal et commande

C3 : Conception de VLSI

- Synthèse VHDL

- Synthèse algorithmique

- Placement/Routage (ASIC, FPGA)

- Analyse de performances (vitesse, consommation, surface, ...)

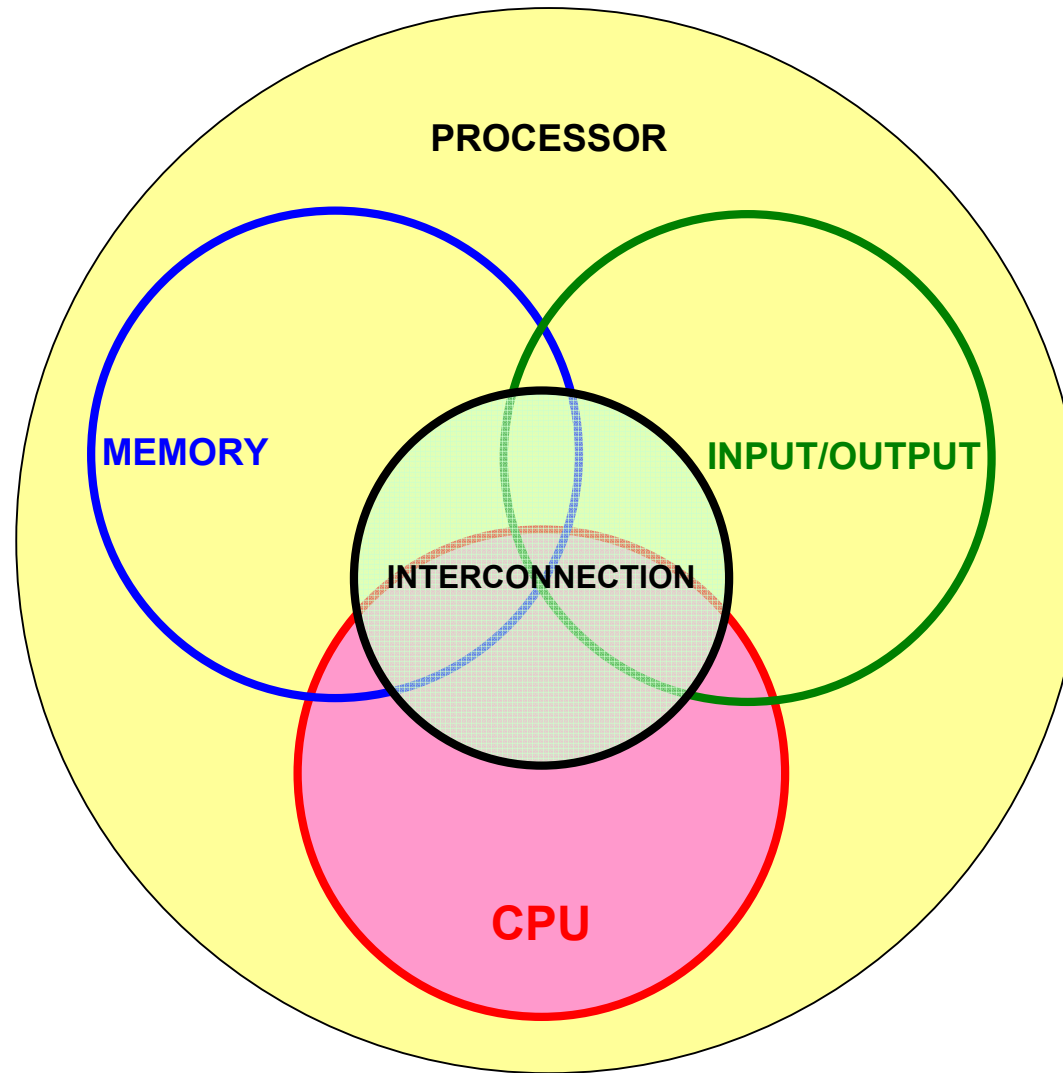
C4 : Architecture logicielle et matérielle (cosimulation)

- Principe et étude de cas

Labs.

- Programmation **Pentium** (C et assembleur)
- Programmation machine RISC (**MIPS**)
- Programmation DSP (**TMS320C6711**)
- Synthèse VHDL
- Architecture logicielle/matérielle

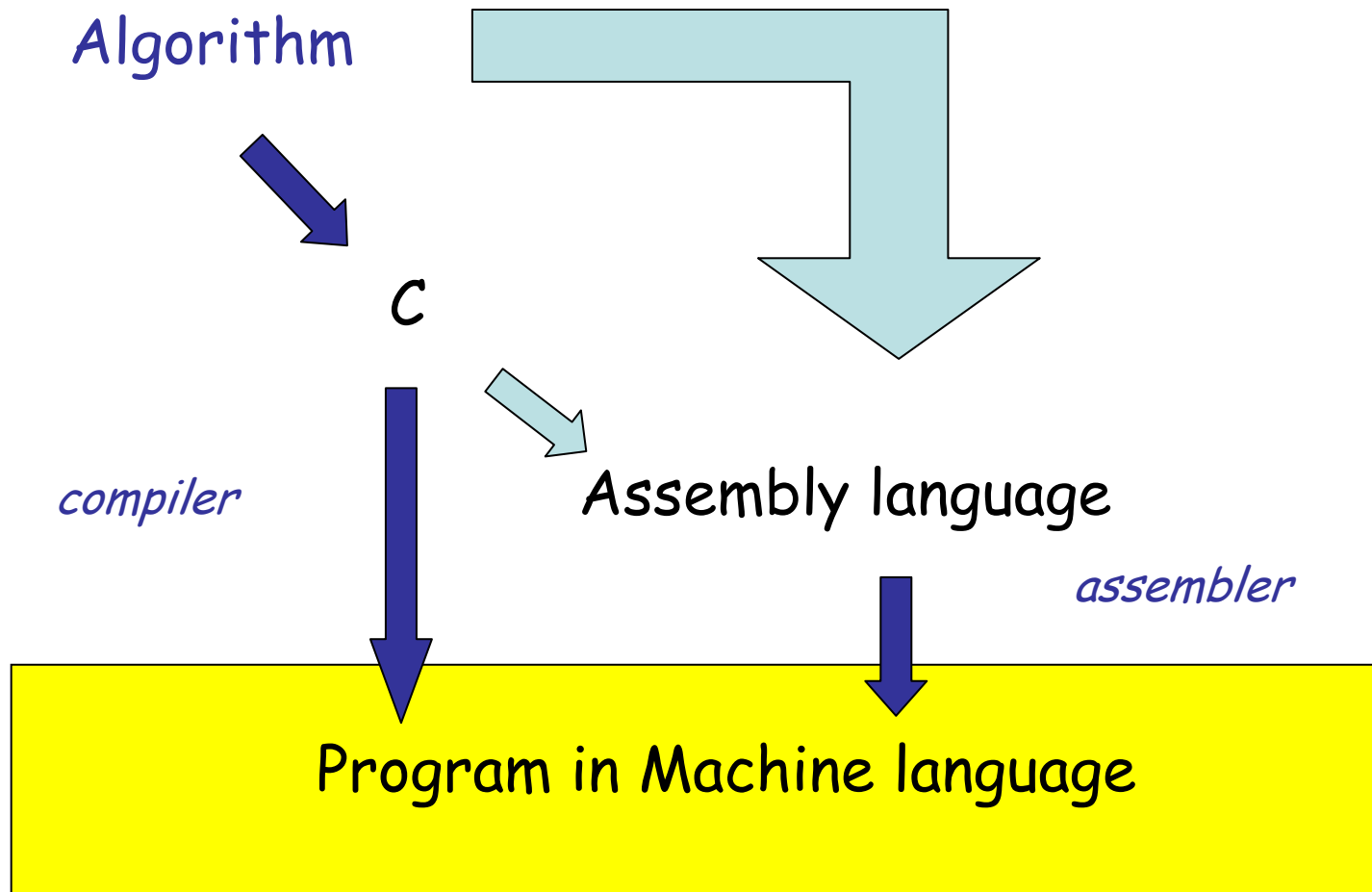
Computer organization



Chapters

- CPU
- Memory, cache
- Pipe-line
- Risc, Super-scalar, ...
- DSP

L3 (Reminder)



Notation pour la sémantique

Notation	Signification	Exemple	Signification
$\leftarrow$	Transfert de données. La longueur est donnée par la longueur de la destination.	$\text{Reg}[R1] \leftarrow \text{Reg}[R2]$	Transfère le contenu du registre R2 dans le registre R1
$\leftarrow_n$	Transfère n bits. Permet de lever l'ambiguïté sur la longueur.	$\text{Mem}[y] \leftarrow_{16} \text{Mem}[x]$	Transfère 16 bits à partir de la case mémoire x vers la case y.
X_n	Sélection du bit d'indice n	$\text{Reg}[R1]_0 \leftarrow 0$	Mise à 0 du bit 0 du registre R1
$X_{m..n}$	Sélection d'un champ de bits.	$\text{Reg}[R3]_{7..0} \leftarrow \text{Mem}[x]$	Transfère le contenu de la case mémoire x dans l'octet bas de R3
X^n	Duplication d'un champ, n fois.	$\text{Reg}[R3]_{31..8} \leftarrow 0^{24}$	Met à 0 les trois octets de poids fort de R3
$\#\#$	Concatène deux champs.	$\text{Reg}[R3] \leftarrow 0^{24}\#\#\text{Mem}[x]$	Registre R3 reçoit le contenu de la case mémoire x dans l'octet bas et 0 dans les 3 autres octets

Instruction Cycle

