

Travaux Pratiques
Informatique Industrielle

Logique
Combinatoire

Table des Matières

Quelques conseils	5
1 - Les portes logiques	7
2 - Synthèse des fonctions logiques	9
3 - Multiplexeurs - Démultiplexeurs	13
4 - Circuits Arithmétiques	17
Annexes.....	21
Annexe I - Brochage Circuits Intégrés TTL	23
Annexe II - Compléments Circuits Intégrés	25

Quelques conseils ...

La préparation du TP

La préparation du TP est importante. Vous devez, avant de venir en TP, avoir préparé votre travail, c'est à dire avoir rédigé la partie théorique du TP. De plus, *la préparation est individuelle* et ne doit pas se faire en prenant exemple sur le travail d'un collègue.

La mise au point du montage

Pour éviter les erreurs de câblage, il est très important de dessiner le montage en indiquant les numéros de broches. D'ailleurs, la notation prendra en compte ce point.

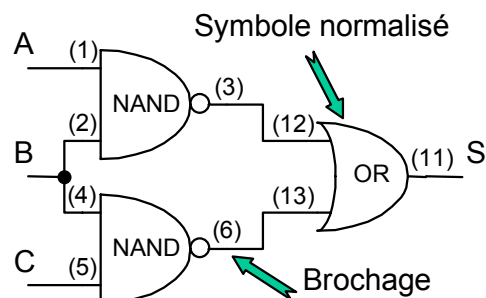
Une autre panne courante est d'avoir un ou des circuits non alimentés. C'est à dire, le 5 volts ou la masse ne sont pas connectés aux circuits.

Votre *comportement en TP*, c'est à dire votre autonomie, la façon dont vous résolvez les problèmes, *votre efficacité est prise en compte dans la note.*

Le compte-rendu

Le compte-rendu doit comporter pour chaque exercice:

- une partie théorique,
- un ou des schémas avec des symboles normalisés et le brochage comme l'exemple de la figure ci-dessous,



- une analyse des résultats obtenus.

Enfin, la présentation en elle-même de tout travail est importante.

Le contrôle

Le contrôle a lieu à la fin des TPs. Il dure 1h20 et sera individuel. Le contrôle rentre pour $\frac{3}{4}$ dans la note finale des Travaux Pratiques.

1 - Les portes logiques

Matériels fournis

7400, 7404, 7408, 7410, 7420, 7432, 7486, 74125, 74126, Générateur TTL

1.1 Utilisation des portes logiques standard

1.1.1 Portes de base

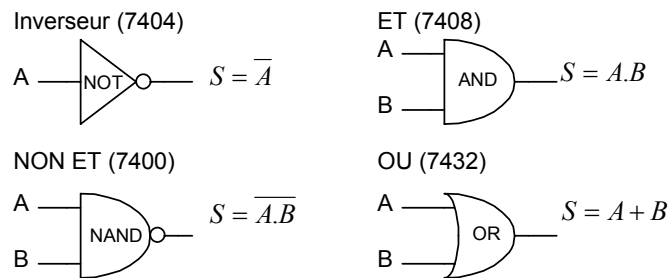


Figure 1-1: Présentation de portes logiques.

Travail demandé

- Donner les tables de vérité des circuits ci-dessous.
- Faire fonctionner ces circuits et vérifier la table de vérité de la question précédente.
- Injecter en entrée du circuit *inverseur* un signal triangulaire de fréquence 1KHz variant de 0 à 5 volts. Ainsi, visualiser simultanément à l'oscilloscope l'entrée et la sortie pour mesurer le seuil de basculement réels du circuit *inverseur*.

Attention: Avant d'injecter le signal triangulaire, vérifier bien que le signal varie entre 0 et 5 volts. Dans le cas contraire, le circuit pourrait être endommagé.

- Vérifier les lois de De Morgan en câblant les fonctions en utilisant les portes présentées précédemment.

$$S = \overline{\overline{A} + \overline{B}} \text{ et } S = \overline{\overline{A}. \overline{B}}$$

- Indiquer (sans câbler) comment on peut réaliser un système logique complet (ET, OU, Inverseur) en utilisant seulement des portes NAND.

1.1.2 Portes à plusieurs entrées

- Comment peut-on utiliser le circuit 7410 (cf Figure 1-2) en porte à deux entrées ? Donner deux solutions possibles.
- Comment peut-on utiliser le circuit 7420 (cf Figure 1-2) en porte à trois entrées et à deux entrées ?

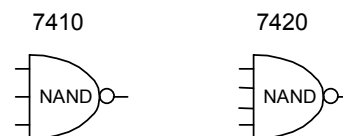


Figure 1-2: Portes NAND 3 et 4 entrées.

1.1.3 Circuit de comparaison

1.1.3.a OU Exclusif

C'est un circuit qui est à un niveau en sortie seulement si ses deux entrées sont différentes. C'est donc un test d'inégalité. Ce circuit est symbolisé de la façon présentée à la Figure 1-3.

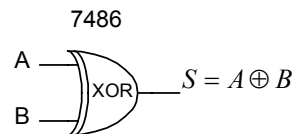
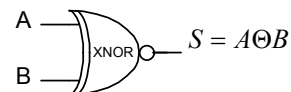


Figure 1-3: Porte Ou Exclusif.

- Réaliser un OU Exclusif avec les portes NAND et des inverseurs.
- Transformer l'équation logique afin de réaliser un OU exclusif en utilisant seulement quatre portes NAND. Réaliser le montage.

1.1.3.b Compareur ou Fonction Identique

C'est un circuit qui teste l'égalité de deux bits. Le symbole est représenté à la Figure 1-4.



- Donner son équation logique.
- Comment peut-on réaliser ce circuit à partir du circuit précédent ?

Figure 1-4: Porte identique.

1.1.3.c Application

- Réaliser un schéma global permettant de tester les conditions suivantes: $A > B$, $A \geq B$, $A = B$.
- Réaliser le montage.

1.2 Circuits 3 états (Tri-State)

Les circuits *3 états* ont été introduits pour améliorer les caractéristiques dynamiques des connexions en ET câblé (collecteur ouvert). Le troisième état appelé *haute impédance* leur permet d'être réunis par leur sortie. Ces 3 états sont résumés ci-dessous:

- Etat 1 (+5v)
- Etat 0 (0v)
- Haute impédance (déconnecté)

Ils possèdent donc, en plus des entrées normales, une entrée de sélection (ou validation) qui connecte ou déconnecte la sortie de la porte.

Ce sont des *inverseurs* et des *buffers* (fonctions *non inverseurs*) qui sont souvent réalisés avec cette technologie.

- Vérifier le fonctionnement des portes 74126 et 74125.
- Réaliser le circuit ci-dessous et vérifier que suivant la valeur de C, on obtient sur les trois fils de sortie soit x, y, z , soit x', y', z' . Expliquer.

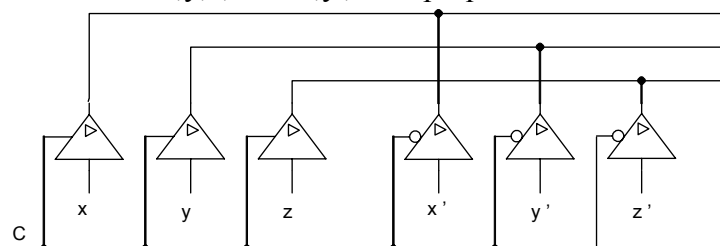


Figure 1-5: Montage avec des portes 3 états.

2 - Synthèse des fonctions logiques

Matériels fournis

7400, 2 × 7404, 2 × 7408, 7410, 7420, 7432, 7486

2.1 Tri d'ardoises

Un dispositif automatique d'ardoise permet un tri d'ardoises en 3 catégories:

- ardoise intacte (S_I),
- ardoise à 2 coins cassés sur un même côté (S_{II}),
- le reste (S_{III}).

Les ardoises arrivent sur un tapis roulant comme le montre la Figure 2-1. Un dispositif optique permet de disposer de 4 informations A, B, C, D représentant l'état des coins (1 si le coin est intact, 0 s'il est cassé).

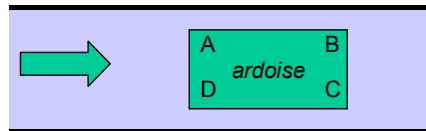


Figure 2-1: Représentation du système.

Travail demandé

- Déterminer les équations de sorties S_I , S_{II} et S_{III} permettant d'aiguiller convenablement les ardoises.
- Réaliser le montage.

2.2 Pont roulant

Le boîtier de commande comporte les boutons de commande suivants:

- g gauche
- d droite
- h haut
- b bas

Une action maintenue sur un bouton du boîtier de commande provoque un déplacement dans les limites des fins de course suivants:

- m limite gauche
- n limite droite
- p limite haut
- q limite bas

Le priorité est donnée à la montée sur la descente dans le cas de demandes antagonistes. Les mouvements suivant les deux axes sont indépendants.

Travail demandé

- Définir les actions de mouvements:

- G gauche
- D droite
- H haut
- B bas

b) Réaliser le montage.

2.3 Circuit de phares d'une automobile

On dispose sur une automobile de commandes v , c , r , a indépendantes permettant la mise sous tension:

- des veilleuses V ,
- des feux de croisement C (2 phares),
- des feux de route R (2 phares),
- des anti-brouillards A (2 phares).

Les veilleuses V n'étant pas comptées comme des phares, il est précisé que:

- 4 phares ne peuvent être allumés simultanément,
- les feux A ont priorité sur R ,
- les feux C ont priorité sur R et A ,
- les veilleuses peuvent être allumées seules, mais l'allumage soit A , C , R entraîne obligatoirement l'allumage de V .

Travail demandé

- a) Calculer les équations logiques de V , C , R , A en fonction de v , c , r , a .
- b) Simplifier les fonctions logiques.
- c) Réaliser les schémas correspondants.

2.4 Distributeur de boisson

Un appareil comporte trois cuves contenant de l'eau, de la menthe et du cassis. Trois boutons e , m , c , commandant les électrovannes E , M , C , permettent d'obtenir de l'eau pure, de la menthe pure ou du cassis pur. Une pièce p doit être introduite, sauf pour l'eau pure qui est gratuite. Si une pièce a été introduite pour la demande d'eau, la pièce devra être restituée et l'eau sera obtenue.

Le déclenchement d'un bouton quelconque e , m , c , ou l'introduction de la pièce déclenche une temporisation. Si celle-ci arrive à son terme avant qu'un choix ait été fait, la pièce éventuellement introduite est rendue (fonction P , de restitution). La pièce est également rendue en cas de fausse manœuvre, et aucune boisson n'est distribuée.

On remarque qu'on obtient de la menthe à l'eau (M) et (E) en choisissant de la menthe (m) ou bien de la menthe (m) et de l'eau (e). Même remarque pour le cassis.

Travail demandé

- a) Ecrire les équations logiques de commande des électrovannes E , M , C ainsi que la fonction de retour de la pièce P , en fonction des variables e , m , c et p . On ne tient pas compte de la temporisation.
- b) Simplifier les fonctions logiques.

c) Réaliser les schémas correspondants.

2.5 Contrôle de briques

Un ensemble de dispositif de contrôle donne 4 informations sur chaque brique produite:

- $p=1$ si le poids est bon,
- $l=1$ si la longueur est bonne,
- $w=1$ si la largeur est bonne,
- $e=1$ si l'épaisseur est bonne.

Travail demandé

- a) Réaliser un système de tri automatique en 3 catégories:
 - $Q_1=1$ si le poids ainsi que au moins 2 dimensions sont correctes,
 - $Q_2=1$ si le poids est incorrect et les dimensions correctes *ou*
si le poids est correct mais au moins 2 des dimensions sont incorrectes,
 - $Q_3=1$ si le poids ainsi qu'une ou plusieurs dimensions sont incorrectes.

3 - Multiplexeurs - Démultiplexeurs

Matériels fournis

7400, 7404, 7410, 7420, 7451, 74153, 74155, 74157, Générateur TTL

3.1 Multiplexeurs

3.1.1 Définition

C'est un circuit à 2^n entrées d'information, n entrées d'adresse et 1 sortie. On obtient en sortie l'information de la ligne de rang i si on applique l'adresse binaire i sur les entrées d'adresse.

Par exemple, dans un multiplexeur 8→1 représenté à la Figure 3-1, on obtient en sortie S l'entrée E_5 si on affiche à l'entrée d'adresse la valeur binaire A=1, B=0, C=1.

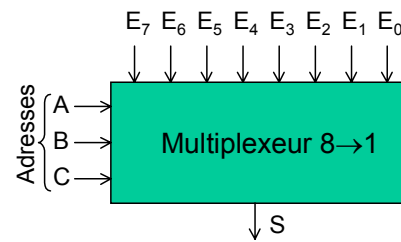


Figure 3-1: Exemple d'un multiplexeur 8→1.

3.1.2 Réalisation de multiplexeurs

3.1.2.a Multiplexeur 2→1

C'est un circuit qui permet de sélectionner une information parmi deux. Il a donc un seul bit d'adresse A et une sortie S. Sa table de vérité est présentée dans le Tableau 3-1 et son équation s'écrit:

$$S = E_0 \cdot \bar{A} + E_1 \cdot A$$

A	S
0	E_0
1	E_1

Tableau 3-1: Table de vérité d'un Mux 2→1.

Travail demandé

- Indiquer un schéma de réalisation en utilisant un circuit AND/NOR (7451).
- Observer le schéma du circuit intégré 74157 et réaliser le montage d'un multiplexeur 2→1.
- Expliquer le rôle de l'entrée *strobe*.

3.1.2.b Multiplexeur 4→1

Travail demandé

- Donner la table de vérité et l'équation d'un multiplexeur à 4 entrées d'informations.
- Indiquer un schéma de réalisation avec des portes NAND à 3 entrées et à 4 entrées.
- Tester le fonctionnement du circuit intégré 74153 (double multiplexeur 4→1).

3.1.2.c Multiplexeur 8→1

Travail demandé

- Donner l'équation d'un multiplexeur 8→1.
- Réaliser un multiplexeur 8→1 en utilisant les deux multiplexeurs 4→1 du 74153.

3.1.3 Applications de multiplexeurs

3.1.3.a Aiguillage d'informations

C'est un problème que l'on rencontre lorsque plusieurs informations doivent être amenées en un point commun à des instants différents. Cette application peut être aussi faite avec des portes à sortie 3 états (tristate).

Travail demandé

- Réaliser avec le circuit 74157 (quadruple multiplexeur 2→1) un montage permettant d'aiguiller sur un registre de quatre bits, 2 informations de 4 bits.

3.1.3.b Générateur de fonctions

On veut réaliser une fonction qui détecte un nombre impair de 1 parmi 3 variables d'entrée.

Travail demandé

- Dresser la table de vérité.
- Ecrire la fonction logique et comparer là avec celle du multiplexeur 4→1.
- Réaliser cette fonction en utilisant le circuit 74153.
- Indiquer une autre solution (sans réaliser le montage) qui utilise un multiplexeur 8→1.

3.2 Démultiplexeurs

3.2.1 Définition

Un démultiplexeur est un circuit ayant une entrée de donnée D , n entrées d'adresse et 2^n sorties, où une seule sortie est active à la fois. L'entrée D est reliée à la sortie S_i si on applique l'adresse binaire i sur les entrées d'adresse.

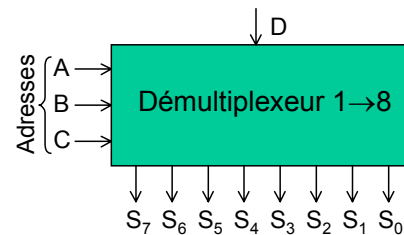


Figure 3-2: Exemple d'un démultiplexeur 1→8.

3.2.2 Réalisation de démultiplexeurs

Le table de vérité d'un démultiplexeur 1→4 est présenté dans le Tableau 3-2 dans le cas où les sorties non actives sont à 0.

B	A	S_3	S_2	S_1	S_0
0	0	0	0	0	D
0	1	0	0	D	0
1	0	0	D	0	0
1	1	D	0	0	0

Tableau 3-2: Table de vérité d'un démultiplexeur 1→4.

Travail demandé

- Ecrire les fonctions logiques et indiquer un schéma de réalisation avec des portes NAND à 2 entrées et 3 entrées.

- b) Faire la table de vérité d'un démultiplexeur 1→4 dans le cas où les sorties non actives sont à 1.
- c) Réaliser le montage avec des portes NOT et des portes NAND à 3 et 4 entrées.
- d) Tester le fonctionnement du circuit intégré 74155 et écrire la table de vérité complète du circuit. On appliquera sur l'entrée D un signal TTL de fréquence 1Hz.

3.2.3 Application à la transmission de données

Travail demandé

- a) Réaliser un montage permettant la transmission d'une information de 4 bits sur une seule ligne, en utilisant un multiplexeur 4→1 (74153) et un démultiplexeur 1→4 (74155).

4 - Circuits Arithmétiques

Matériels fournis

2 × 7400, 7404, 7408, 7432, 2 × 7483, 7486, 74125, 74126

4.1 L'additionneur

4.1.1 Principe

On considère deux nombres A et B que nous supposons fixés à 4 éléments binaires. La somme de A et B est obtenue de la manière présentée à la Figure 4-1.

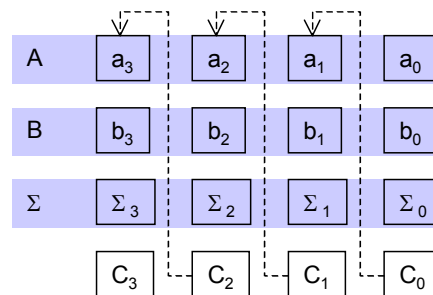


Figure 4-1: Principe de l'addition sur 4 bits.

Le somme de a_0 et b_0 donne un résultat partiel Σ_0 et une retenue C_0 qui est utilisée avec les chiffres suivants. On forme alors la somme de a_1 , b_1 , et C_0 pour obtenir une somme partielle Σ_1 et une retenue C_1 et ainsi de suite. La dernière retenue C_3 n'est pas utilisée car il n'y a plus d'éléments binaires suivants dans A et B.

Le circuit réalisant la somme de A et B comprend donc 4 sous-ensembles identiques ayant chacun 3 entrées a_i , b_i et C_{i-1} et 2 sorties Σ_i et C_i comme le montre la Figure 4-2 suivante.

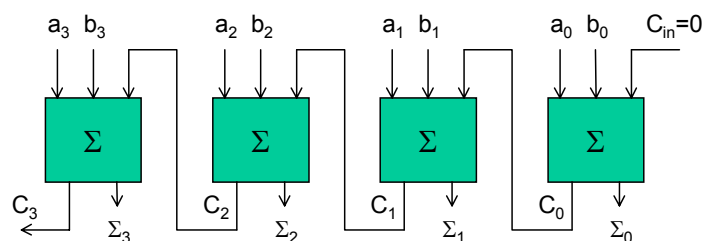


Figure 4-2: Architecture de l'additionneur.

4.1.2 Le demi-additionneur

Au niveau du poids le plus bas, il n'y a pas de retenue provenant du rang inférieur. On peut donc se contenter d'un système simple réalisant uniquement la somme des deux bits a_i et b_i . Un tel système est appelé *demi-additionneur*.

Travail demandé

- Écrire la table de vérité de ce système ayant pour variables d'entrées a_i et b_i et comme fonctions de sortie Σ_i et C_i .
- Réaliser le circuit et vérifier son fonctionnement. On utilisera des AND (7408), des OR (7432) et des NOT (7404).

4.1.3 L'additionneur complet

Tous les étages autres que l'étage correspondant au poids le plus faible impliquent la prise en compte de la retenue venant du rang immédiatement inférieur. Les systèmes de ce type sont appelés *additionneurs complets*. Ils ont 3 variables d'entrées a_i , b_i et C_{i-1} et deux fonctions de sorties Σ_i et C_i .

Travail demandé

- Ecrire la table de vérité d'un tel additionneur. En déduire les expressions logiques de Σ_i et C_i .
- Construire un additionneur complet à partir de 2 *demi-additionneurs*. Pour cela, on utilisera des XOR et des NAND.

4.1.4 Additionneur en circuit intégré

Le circuit 7483 est un additionneur 4 bits. Il réalise la somme des nombres A ($a_3a_2a_1a_0$) et B ($b_3b_2b_1b_0$).

Travail demandé

- Vérifier le fonctionnement de ce circuit en utilisant sa documentation fournie en annexe.
- Réaliser un additionneur à 6 bits en utilisant deux circuits 7483. Donner alors le schéma et les explications correspondantes.

4.2 Le soustracteur

4.2.1 Principe

Le problème est analogue à celui rencontré dans le cas de l'additionneur. On se propose de réaliser une soustraction (A-B) entre deux nombres positifs. On est amené tout naturellement, comme cela avait été fait lors de l'étude de l'additionneur, à construire un *demi-soustracteur*, puis un *soustracteur complet*.

4.2.2 Le demi-soustracteur

On désire construire un système effectuant la différence D_i entre 2 bits a_i et b_i . On appellera C_i l'emprunt.

Travail demandé

- Ecrire la table de vérité du *demi-soustracteur*.
- En déduire les fonctions logiques D_i et C_i .
- Réaliser le circuit en utilisant des XOR (7486), des AND (7408), et des NOT (7404).

Remarque: Ne pas défaire le montage qui devra être utilisé dans la suite du TP.

4.2.3 Le soustracteur complet

Travail demandé

- Ecrire la table de vérité.
- Montrer la manière de réaliser un soustracteur complet en utilisant 2 *demi-soustracteurs*.
- Réaliser un soustracteur à 2 bits à l'aide d'un *demi-soustracteur* et d'un *soustracteur complet*.

4.3 Système de calcul en complément à deux

En complément à deux, l'interprétation des nombres binaires change et la soustraction d'un nombre à un autre revient en fait à l'addition de son opposé:

$$A - B = A + (-B)$$

Travail demandé

- a) En utilisant 2 circuits 7483, des circuits 3 états (tristate) et des portes logiques de base, réaliser un système de calcul en complément à deux qui donne le résultat sous forme de module (3 bits) et signe (1 bits).

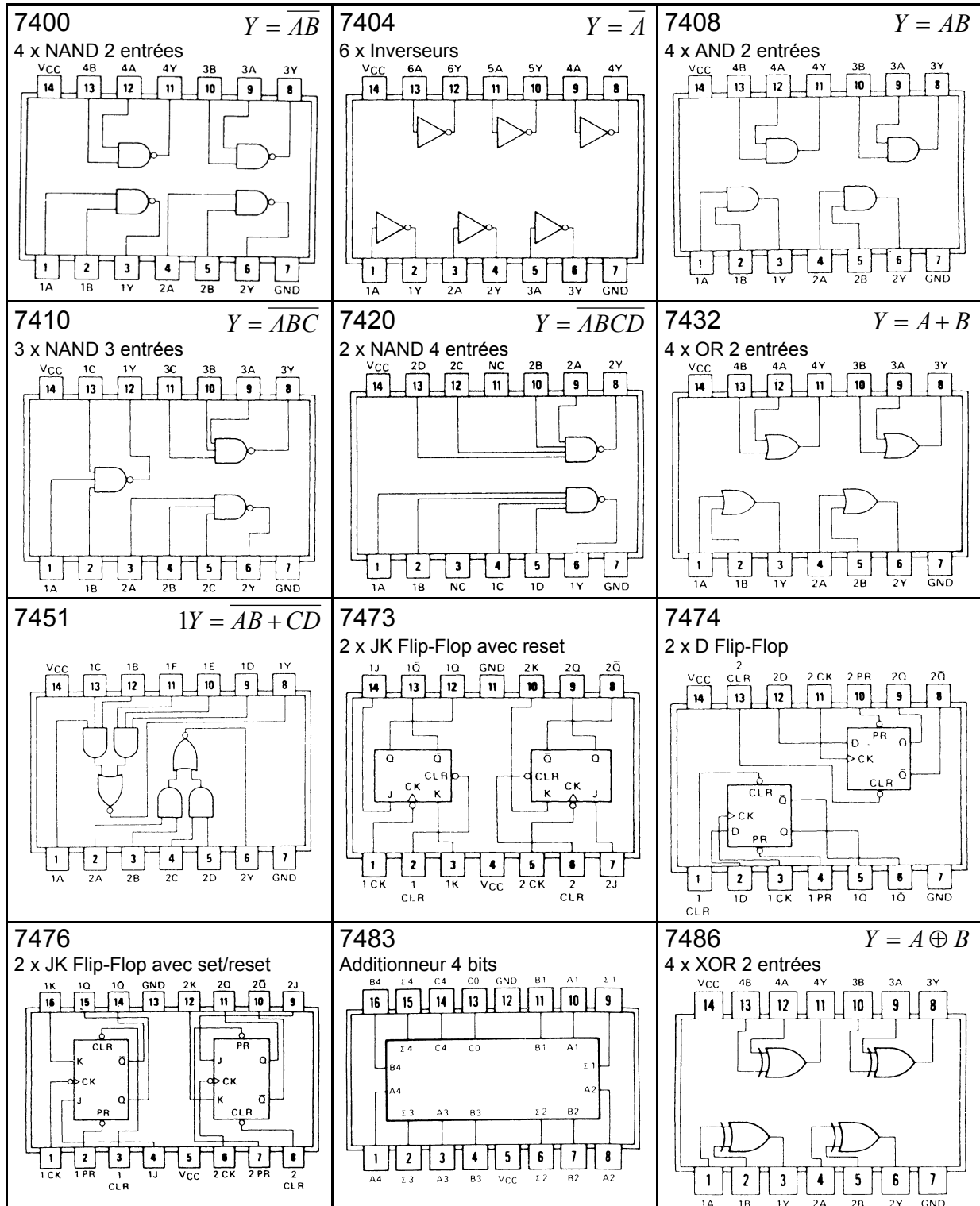
Annexes

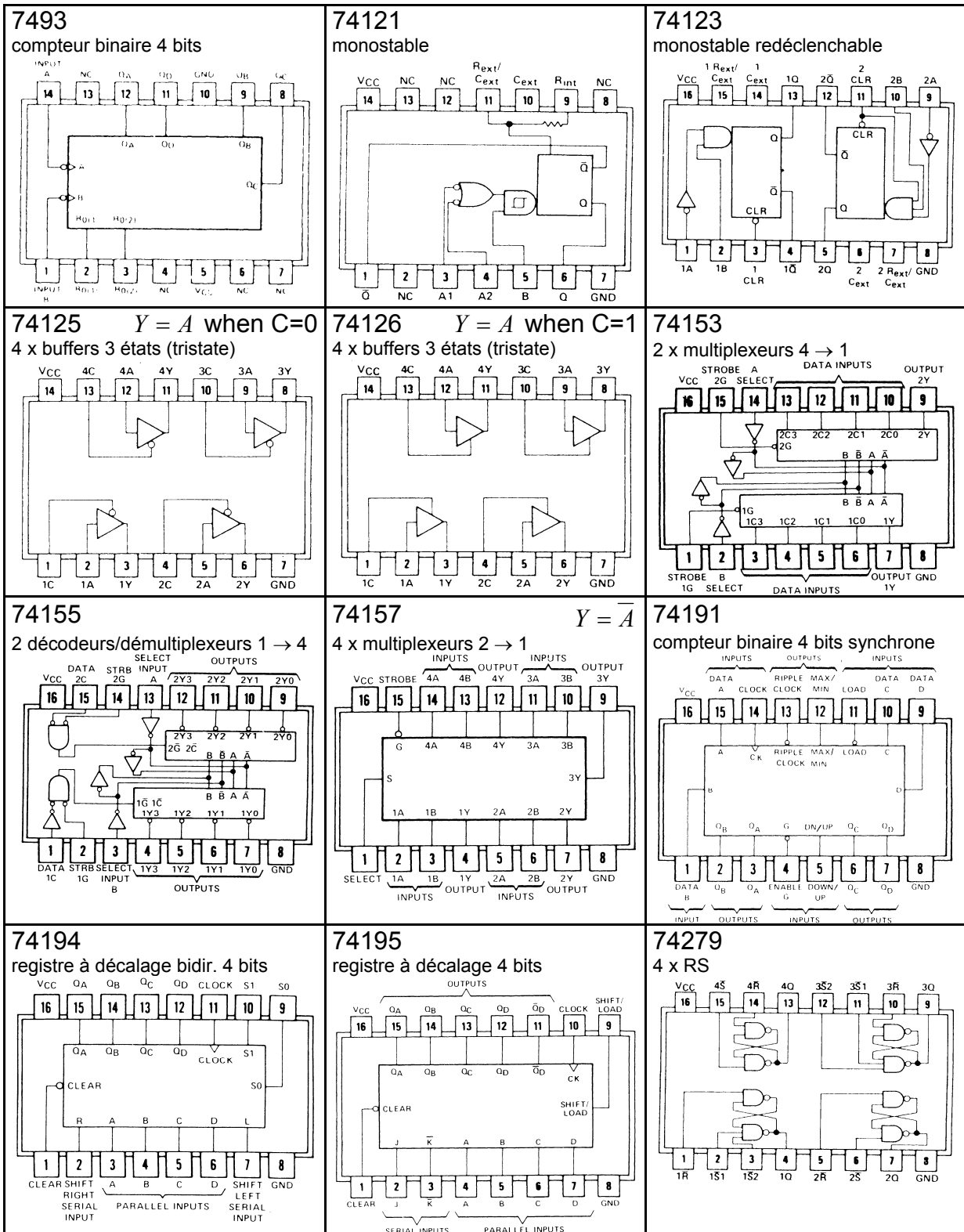
~~~~~

|                                                        |           |
|--------------------------------------------------------|-----------|
| <b>Annexe I - Brochage Circuits Intégrés TTL .....</b> | <b>23</b> |
| <b>Annexe II - Compléments Circuits Intégrés .....</b> | <b>25</b> |
| II.1 Circuit 7483 .....                                | 25        |
| II.2 Circuit 74153 .....                               | 26        |
| II.3 Circuit 74155 .....                               | 26        |
| II.4 Circuit 74157 .....                               | 28        |



## Annexe I - Brochage Circuits Intégrés TTL









## II.2 Circuit 74153

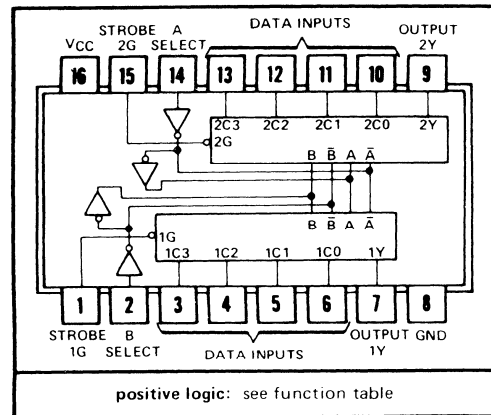
- Permits Multiplexing from N lines to 1 line
- Performs Parallel-to-Serial Conversion
- Strobe (Enable) Line Provided for Cascading (N lines to n lines)
- High-Fan-Out, Low-Impedance, Totem-Pole Outputs
- Fully Compatible with most TTL and DTL Circuits

| TYPE   | TYPICAL AVERAGE PROPAGATION DELAY TIMES |             |             | TYPICAL POWER DISSIPATION |
|--------|-----------------------------------------|-------------|-------------|---------------------------|
|        | FROM DATA                               | FROM STROBE | FROM SELECT |                           |
| '153   | 14 ns                                   | 17 ns       | 22 ns       | 180 mW                    |
| 'L153  | 27 ns                                   | 34 ns       | 44 ns       | 90 mW                     |
| 'LS153 | 14 ns                                   | 19 ns       | 22 ns       | 31 mW                     |
| 'S153  | 6 ns                                    | 9.5 ns      | 12 ns       | 225 mW                    |

### description

Each of these monolithic, data selectors/multiplexers contains inverters and drivers to supply fully complementary, on-chip, binary decoding data selection to the AND-OR-invert gates. Separate strobe inputs are provided for each of the two four-line sections.

'153, 'LS153, 'S153 . . . J, N, OR W PACKAGE  
'L153 . . . J OR N PACKAGE  
(TOP VIEW)



positive logic: see function table

FUNCTION TABLE

| SELECT INPUTS |   | DATA INPUTS |    |    |    | STROBE | OUTPUT |
|---------------|---|-------------|----|----|----|--------|--------|
| B             | A | C0          | C1 | C2 | C3 | G      | Y      |
| X             | X | X           | X  | X  | X  | H      | L      |
| L             | L | L           | X  | X  | X  | L      | L      |
| L             | L | H           | X  | X  | X  | L      | H      |
| L             | H | X           | L  | X  | X  | L      | L      |
| L             | H | X           | H  | X  | X  | L      | H      |
| H             | L | X           | X  | L  | X  | L      | L      |
| H             | L | X           | X  | H  | X  | L      | H      |
| H             | H | X           | X  | X  | L  | L      | L      |
| H             | H | X           | X  | X  | H  | L      | H      |

Select inputs A and B are common to both sections.  
H = high level, L = low level, X = irrelevant

## II.3 Circuit 74155

- Applications:
  - Dual 2-to-4-Line Decoder
  - Dual 1-to-4-Line Demultiplexer
  - 3-to-8-Line Decoder
  - 1-to-8-Line Demultiplexer
- Individual Strobes Simplify Cascading for Decoding or Demultiplexing Larger Words
- Input Clamping Diodes Simplify System Design
- Choice of Outputs:
  - Totem Pole ('155, 'LS155)
  - Open-Collector ('156)

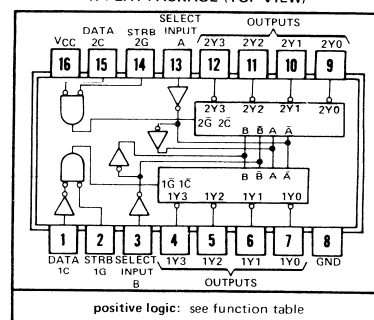
| TYPES      | TYPICAL AVERAGE PROPAGATION DELAY |           | TYPICAL POWER DISSIPATION |
|------------|-----------------------------------|-----------|---------------------------|
|            | 3 GATE LEVELS                     | FROM DATA |                           |
| '155, '156 | 21 ns                             | 125 mW    |                           |
| 'LS155     | 18 ns                             | 31 mW     |                           |

### description

These monolithic transistor-transistor-logic (TTL) circuits feature dual 1-line-to-4-line demultiplexers with individual strobes and common binary-address inputs in a single 16-pin package. When both sections are enabled by the strobes, the common binary-address inputs sequentially select and route associated input data to the appropriate output of each section. The individual strobes permit activating or inhibiting each of the 4-bit sections as desired. Data applied to input 1C is inverted at its outputs and data applied at 2C is not inverted through its outputs. The inverter following the 1C data input permits use as a 3-to-8-line decoder or 1-to-8-line demultiplexer without external gating. Input clamping diodes are provided on all of these circuits to minimize transmission-line effects and simplify system design.

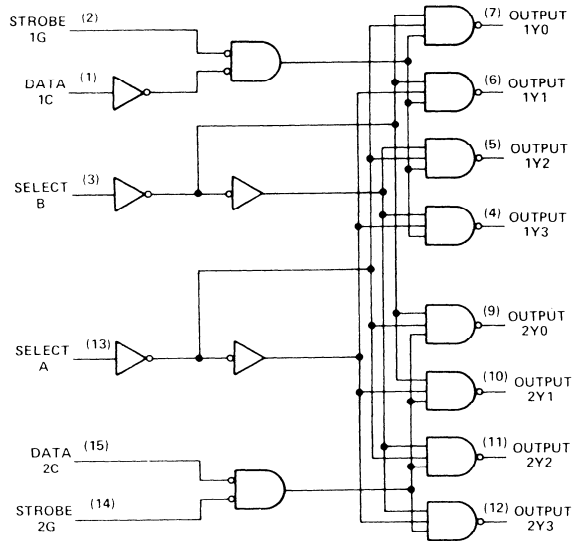
Series 54 and 54LS are characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ ; Series 74 and 74LS are characterized for operation from  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$ .

J OR N DUAL-IN-LINE OR  
W FLAT PACKAGE (TOP VIEW)



positive logic: see function table

### functional block diagram and logic



FUNCTION TABLES  
 2-LINE-TO-4-LINE DECODER  
 OR 1-LINE-TO-4-LINE DEMULTIPLEXER

| INPUTS |        |    |      | OUTPUTS |     |     |     |
|--------|--------|----|------|---------|-----|-----|-----|
| SELECT | STROBE |    | DATA |         |     |     |     |
| B      | A      | 1G | 1C   | 1Y0     | 1Y1 | 1Y2 | 1Y3 |
| X      | X      | H  | X    | H       | H   | H   | H   |
| L      | L      | L  | H    | L       | H   | H   | H   |
| L      | H      | L  | H    | H       | L   | H   | H   |
| H      | L      | L  | H    | H       | H   | L   | H   |
| H      | H      | L  | H    | H       | H   | H   | L   |
| X      | X      | X  | L    | H       | H   | H   | H   |

| INPUTS |        |    |      | OUTPUTS |     |     |     |
|--------|--------|----|------|---------|-----|-----|-----|
| SELECT | STROBE |    | DATA |         |     |     |     |
| B      | A      | 2G | 2C   | 2Y0     | 2Y1 | 2Y2 | 2Y3 |
| X      | X      | H  | X    | H       | H   | H   | H   |
| L      | L      | L  | L    | L       | H   | H   | H   |
| L      | H      | L  | L    | H       | L   | H   | H   |
| H      | L      | L  | L    | H       | H   | L   | H   |
| H      | H      | L  | L    | H       | H   | H   | L   |
| X      | X      | X  | H    | H       | H   | H   | H   |

FUNCTION TABLE  
 3-LINE-TO-8-LINE DECODER  
 OR 1-LINE-TO-8-LINE DEMULTIPLEXER

| INPUTS         |                |   |                | OUTPUTS |     |     |     |     |     |     |     |
|----------------|----------------|---|----------------|---------|-----|-----|-----|-----|-----|-----|-----|
| SELECT         | STROBE OR DATA |   |                |         |     |     |     |     |     |     |     |
| C <sup>†</sup> | B              | A | G <sup>‡</sup> | 2Y0     | 2Y1 | 2Y2 | 2Y3 | 1Y0 | 1Y1 | 1Y2 | 1Y3 |
| X              | X              | X | H              | H       | H   | H   | H   | H   | H   | H   | H   |
| L              | L              | L | L              | L       | H   | H   | H   | H   | H   | H   | H   |
| L              | L              | H | L              | H       | L   | H   | H   | H   | H   | H   | H   |
| L              | H              | L | L              | H       | H   | L   | H   | H   | H   | H   | H   |
| L              | H              | H | L              | H       | H   | H   | L   | H   | H   | H   | H   |
| H              | L              | L | L              | H       | H   | H   | H   | L   | H   | H   | H   |
| H              | L              | H | L              | H       | H   | H   | H   | H   | L   | H   | H   |
| H              | H              | L | L              | H       | H   | H   | H   | H   | H   | L   | H   |
| H              | H              | H | L              | H       | H   | H   | H   | H   | H   | H   | L   |

<sup>†</sup>C = inputs 1C and 2C connected together  
<sup>‡</sup>G = inputs 1G and 2G connected together  
 H = high level, L = low level, X = irrelevant

## II.4 Circuit 74157

### features

- Buffered Inputs and Outputs
- Three Speed/Power Ranges Available

| TYPES | TYPICAL<br>AVERAGE<br>PROPAGATION<br>TIME | TYPICAL<br>POWER<br>DISSIPATION |
|-------|-------------------------------------------|---------------------------------|
| '157  | 9 ns                                      | 150 mW                          |
| 'L157 | 18 ns                                     | 75 mW                           |
| 'S157 | 5 ns                                      | 250 mW                          |
| 'S158 | 4 ns                                      | 195 mW                          |

### applications

- Expand Any Data Input Point
- Multiplex Dual-Data Buses
- Generate Four Functions of Two Variables (One Variable is Common)
- Source Programmable Counters

### description

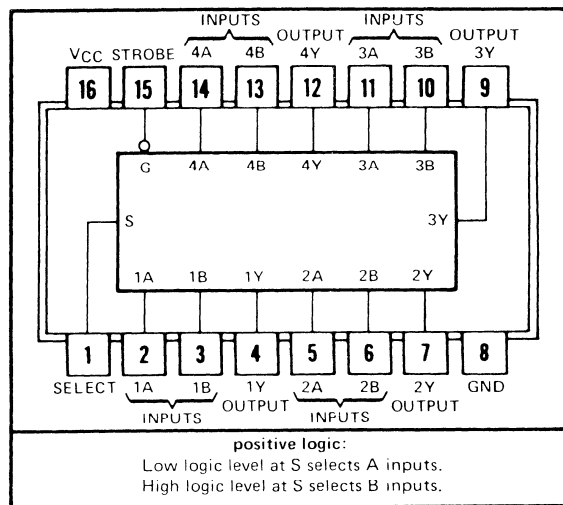
These monolithic, data selectors/multiplexers contain inverters and drivers to supply full on-chip data selection to the four output gates. A separate strobe input is provided. A 4-bit word is selected from one of two sources and is routed to the four outputs. The '157, 'L157, and 'S157 present true data whereas the 'S158 presents inverted data to minimize propagation delay time.

FUNCTION TABLE

| INPUTS |        | OUTPUT Y |   |                    |       |
|--------|--------|----------|---|--------------------|-------|
| STROBE | SELECT | A        | B | '157, 'L157, 'S157 | 'S158 |
| H      | X      | X        | X | L                  | H     |
| L      | L      | L        | X | L                  | H     |
| L      | L      | H        | X | H                  | L     |
| L      | H      | X        | L | L                  | H     |
| L      | H      | X        | H | H                  | L     |

H = high level, L = low level, X = irrelevant

'157, 'S157 ... J, N, OR W PACKAGE  
 'L157 ... J OR N PACKAGE  
 (TOP VIEW)



'S158 ... J, N, OR W PACKAGE  
 (TOP VIEW)

