



Systemes sur Puce : vers l'exploration en milieu complexe

Michel Auguin

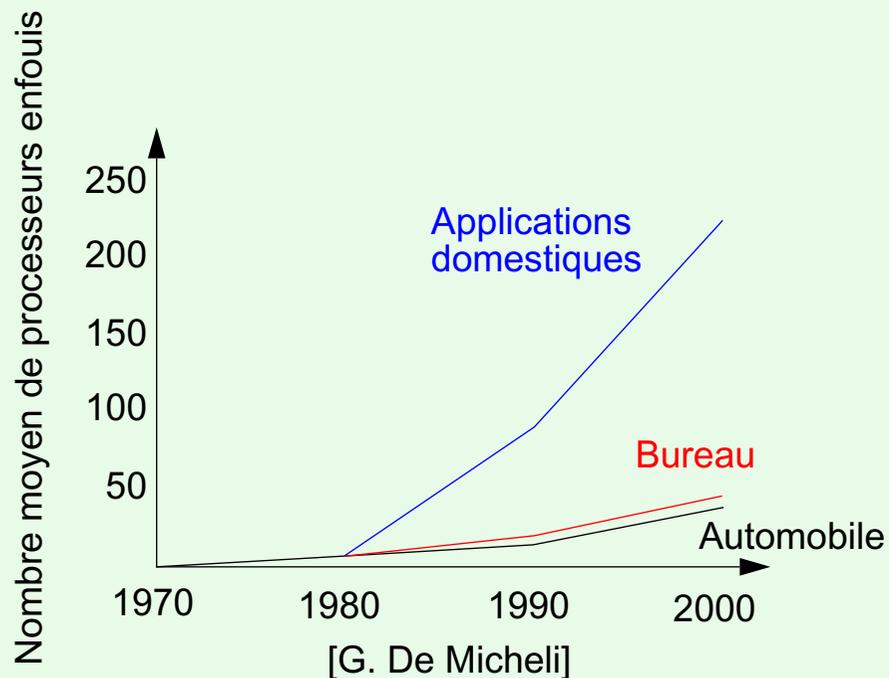


Les Algorithmes / Bâtiment Euclide B
2000 route des Lucioles, BP 121, 06903 Sophia-Antipolis Cedex

auguin@i3s.unice.fr

1

Les systemes sur puce (SoC) : dans la vie quotidienne



Applications domestiques

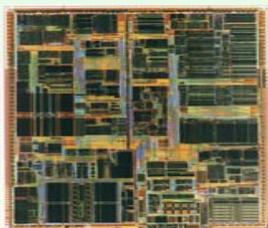
- Téléphone/Fax
- Répondeurs
- Sécurité
- Téléphone mobile
- Portes garage
- TV, set top box
- Jeux vido
- Camescopes
- Magnétoscopes
- Instruments musique
- Jouets
- Réfrigérateurs/Fours

Bureau

- Téléphones
- PC
- Fax
- Sécurité
- Imprimantes
- Photocopieurs
- PDA

Automobile

- Calculateur de bord
- Airbags
- ABS
- Sécurité
- Transmission
- Climatisation
- GPS
- Injection



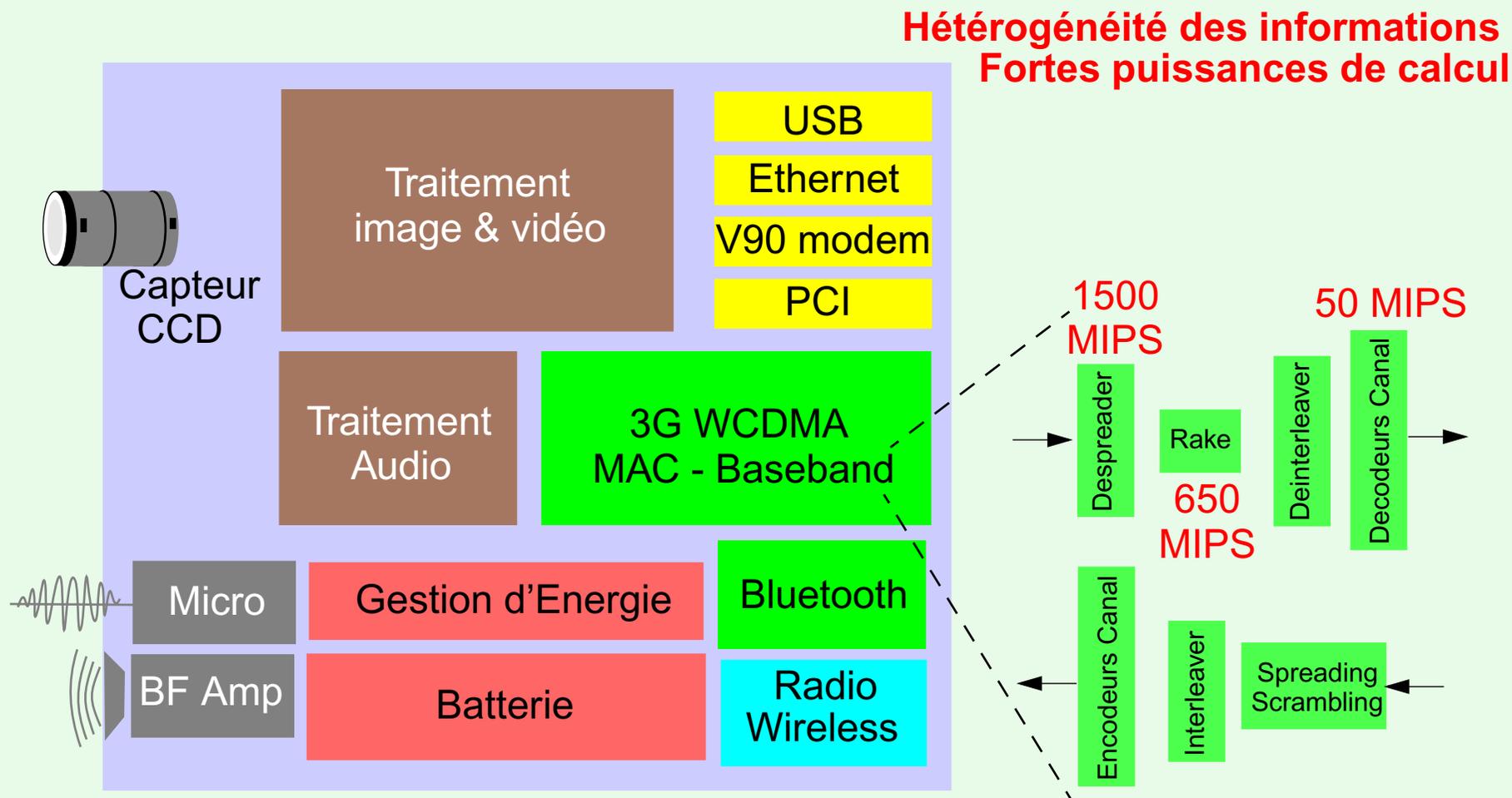
System On Chip

Année 2003

1 milliard de téléphones portables

200 millions de PC

Exemple d'un téléphone cellulaire multimédia 3G



Contraintes de temps très diverses
Baseband : 0,01ms - MAC : 0,1 à 1ms - MPEG : 40ms

Particularités des SOC

Les contraintes des SOC conditionnent leur conception :

- ❑ Coûts de conception et de vérification (faibles marges de bénéfice)
- ❑ Contraintes de temps strictes ou souples
- ❑ Consommation d'énergie (portables, PDA, wireless, ...)
- ❑ Sécurité (automobile, aviation)
- ❑ Poids, taille (UMTS vs GSM)
- ❑ Accroissement du logiciel embarqué

La technologie évolue rapidement mais à quels coûts ?

- ❑ Architecture plus intégrée :
performances augmentées, difficultés de conception accues
coûts réduits pour de la très (très) grande série
- ❑ Le coût global (conception + test + fabrication) en vaut-il la peine ?
1 Million d'Euros le jeu de masques en technologie 90nm

4

Evolution des applications

Les produits grand public évoluent de plus en plus vite :

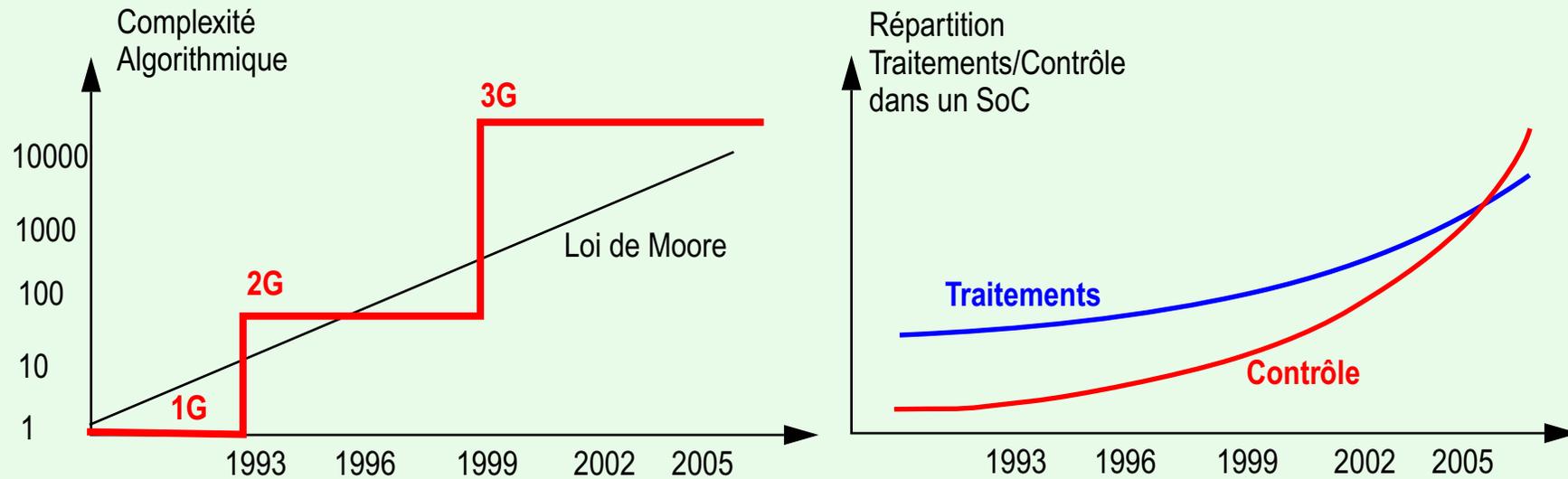
- ❑ **Durée de vie du produit réduite ➡ Temps de développement**
- ❑ **Les produits s'adaptent à des standards de plus en plus nombreux**
PDA + WLAN, Réfrigérateur sur Internet
Wi-Fi dans les PC ou les portables, GPRS + WLAN
- ❑ **Convergence télécommunications et applications (portable, jeux,...)**
➡ **Accroissement des fonctionnalités intégrées dans un SOC**
- ❑ **Bon timing du produit avec le marché (time to market)**

Compte tenu de ces évolutions, de nouveaux besoins apparaissent

- ❑ **“Nouveaux métiers” (pluridisciplinarité)**
- ❑ **Des évolutions incrémentales des méthodes de conception actuelles sont insuffisantes**

5

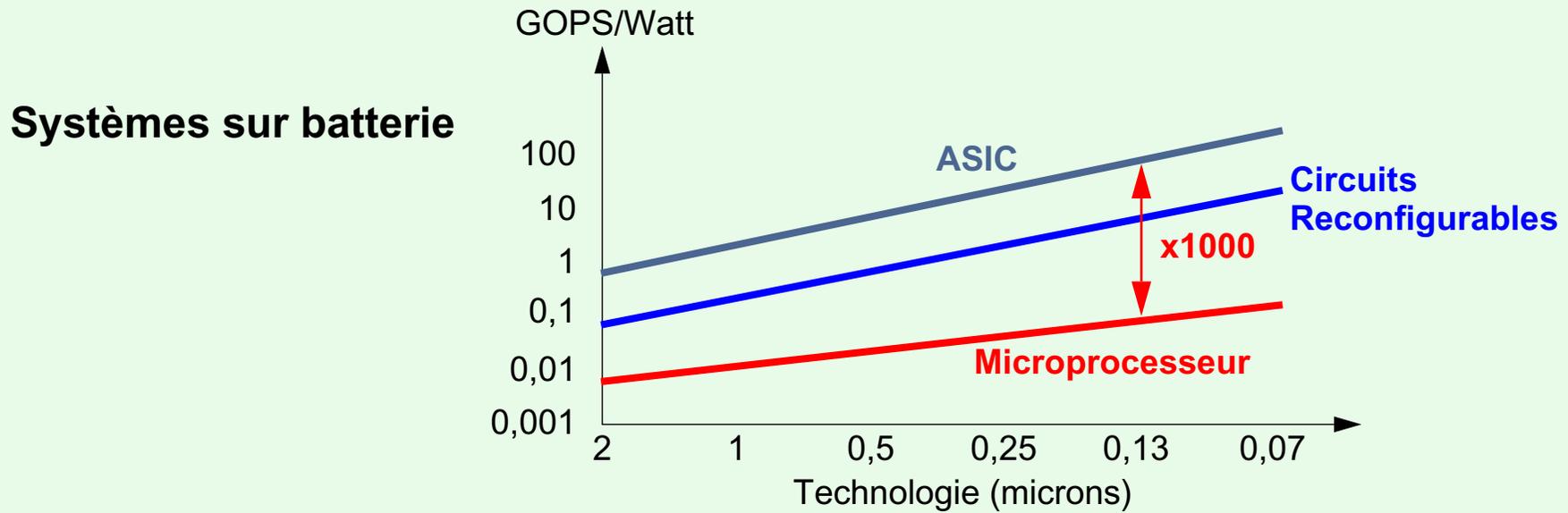
Traitements vs Contrôle



Accroissement complexité des traitements : LOCAL (par unité Hw ou Sw)

Accroissement complexité du contrôle : GLOBAL (concerne le SoC entier)

Consommation d'Énergie vs Flexibilité



Performances

**100 MOPS/mW
& MOPS/mm²**



Flexibilité réduite

Mais :

**Evolutions des normes
Systèmes multi-normes (Sw Radio)
Debug, maintenance**



Flexibilité accrue

7

Où sont passées les portes logiques ?

Problème : Visualiser un circuit de 2 cm² avec 10 couches de métallisation (Y. Leduc, Texas Instr.)

Hypothèse : Technologie 90 nm avec largeur entre deux interconnexions de 200nm

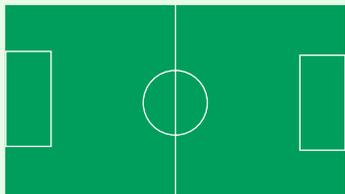
Facteur d'échelle : visualiser une interconnexion par un trait de 1mm

$$\frac{10^{-3}}{200 \cdot 10^{-9}} = 5 \cdot 10^3$$

Circuit de 2 cm² mis à l'échelle :

Longueur : $2 \times 10^{-2} \times 5 \cdot 10^3$ soit 100 mètres

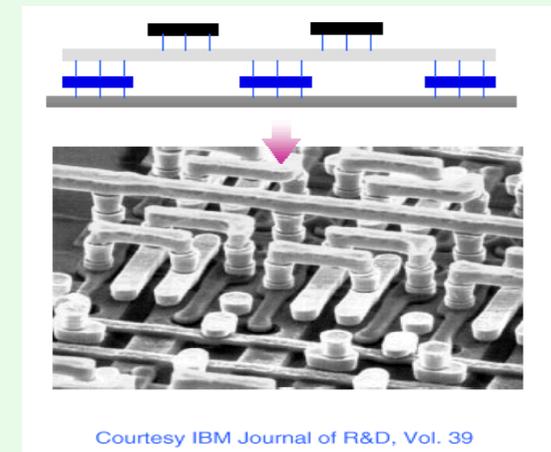
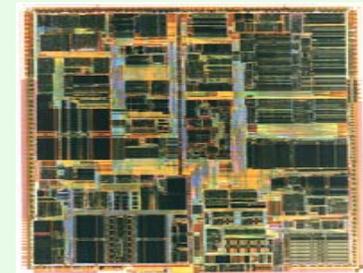
Largeur : $10^{-2} \times 5 \cdot 10^3$ soit 50 mètres



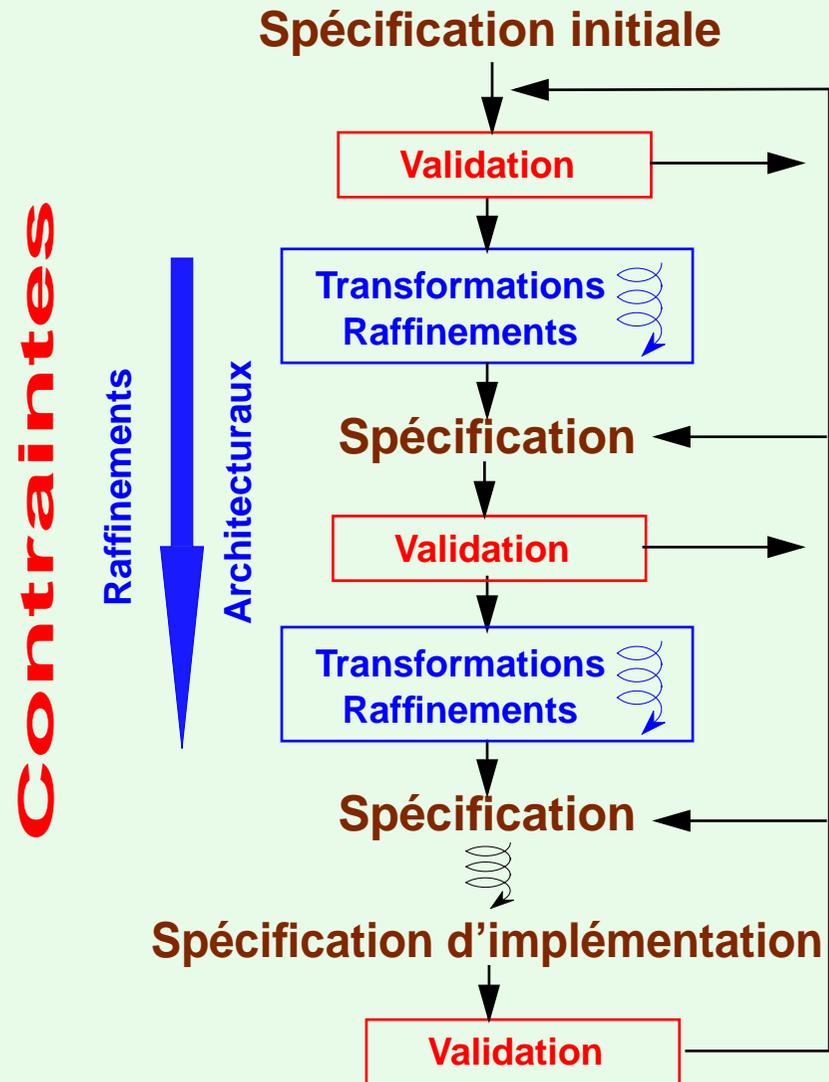
Equivalent à un **terrain de football**
avec 10 plans d'interconnexion de
couleurs différentes où sur chaque
plan chaque piste est de taille 1mm !!!

⇒ et les portes logiques sont dessous

Conception et vérification d'un SOC :
Impossible au niveau logique

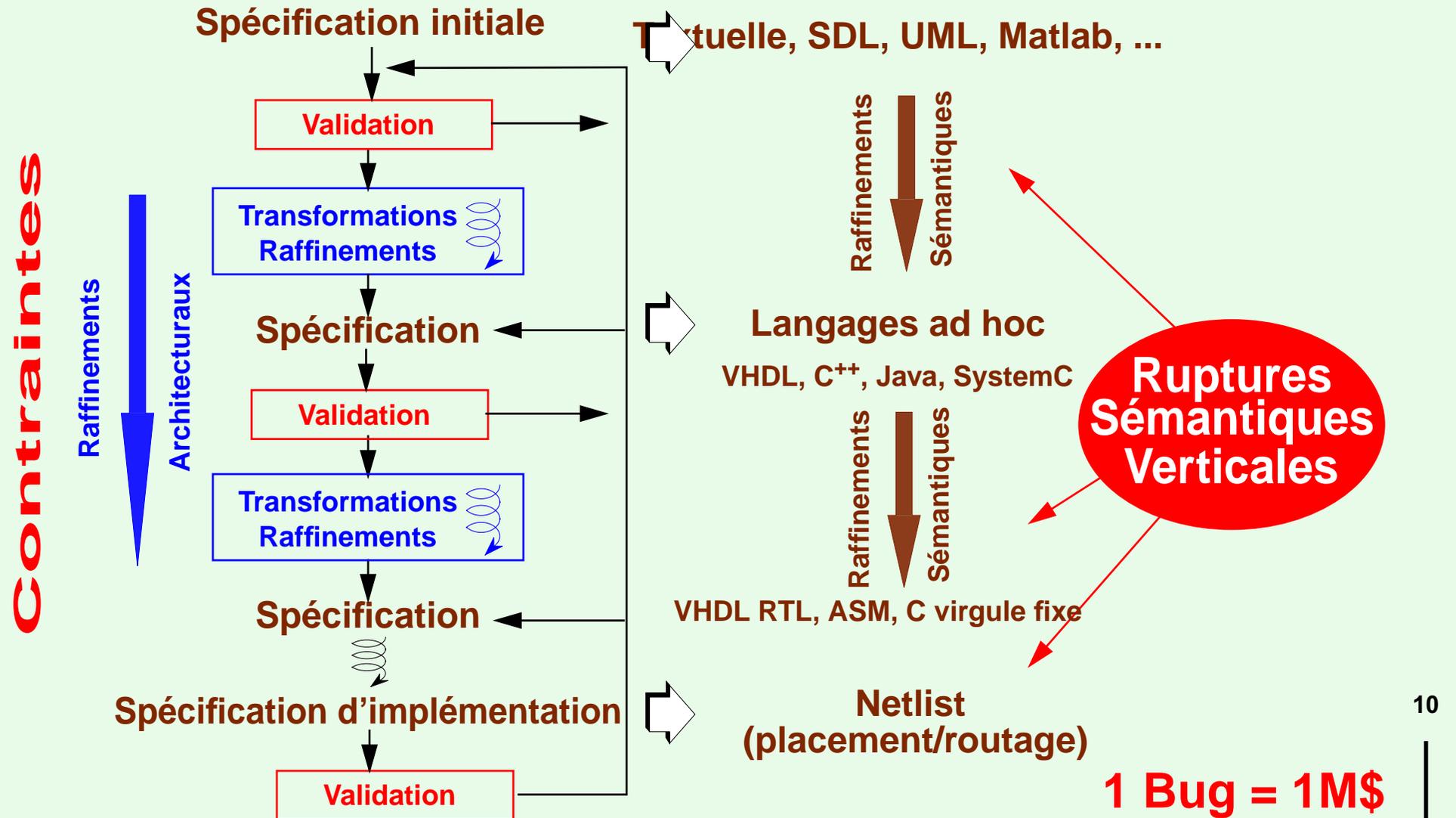


Conception de SoC : Approche Top Down Classique

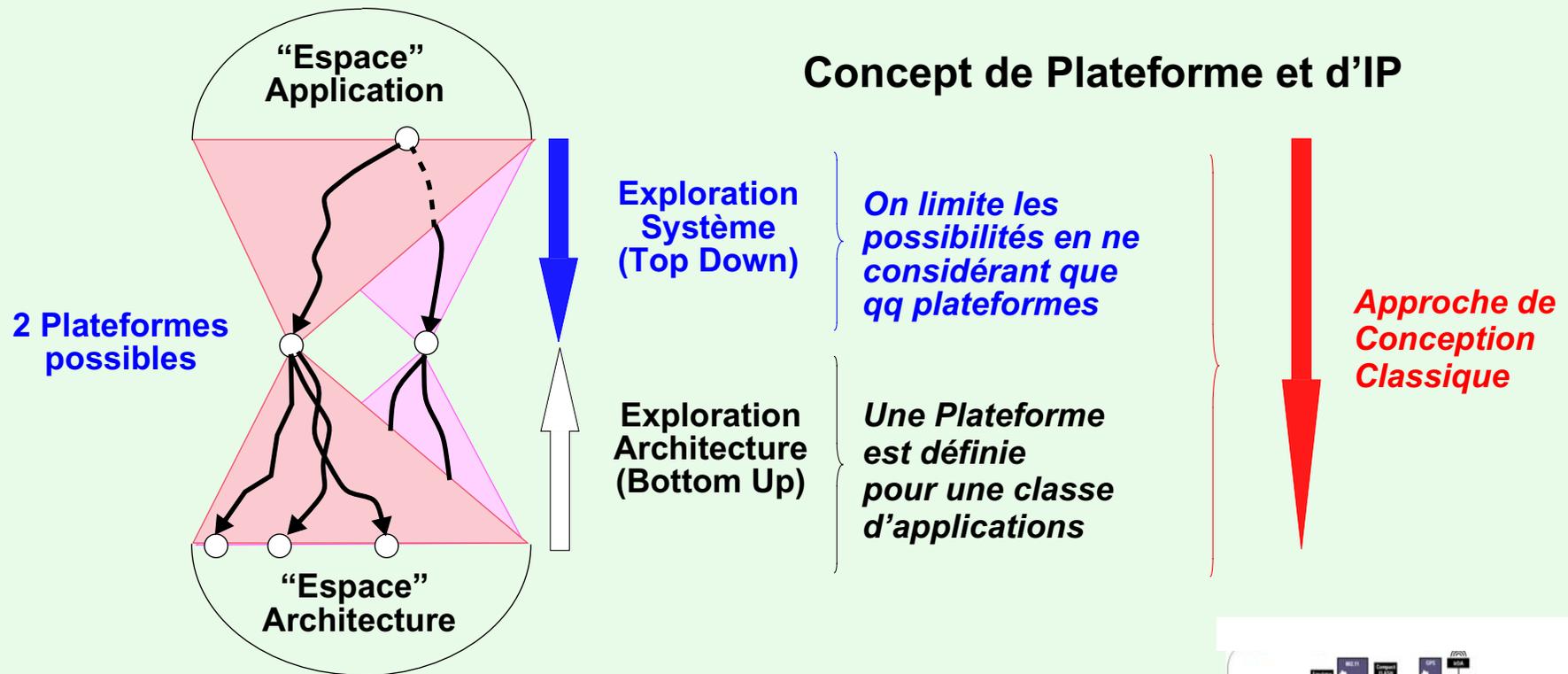


1 Bug = 1M\$

Conception de SoC : Approche Top Down Classique

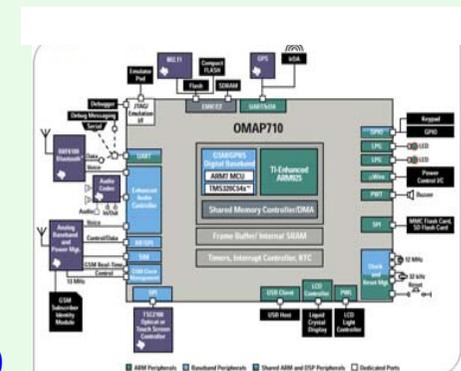


Réduire le «chemin» de l'application à l'architecture



Appréhender la complexité (ne ?) passe (que ?) par la réutilisation
Composants virtuels, les IPs (Intellectual Properties); Plate-formes

Texas Instruments OMAP 710



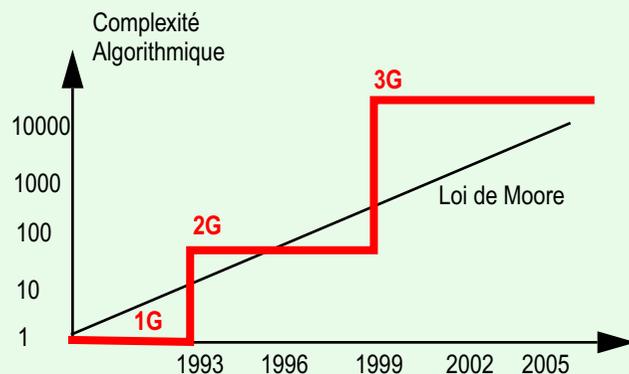
Limitations de l'approche Plateforme

Plateforme : reste dépendant constructeur (e.g. OMAP de Texas Instruments)

E.g. passer du OMAP 1510 au OMAP 710 : favorise Software Reuse

Mais ne permettent que des avancées incrémentales :

OMAP 1510	OMAP 710
ARM9 + DSP C55 GSM/GPRS	ARM9 + (DSP C55 + ARM7) GSM/GPRS + PDA



Plateformes actuelles :

Héritage des avancées des architectures hautes performances : pipeline, caches prédiction branchement, RTOS vs OS

Indéterminisme croissant



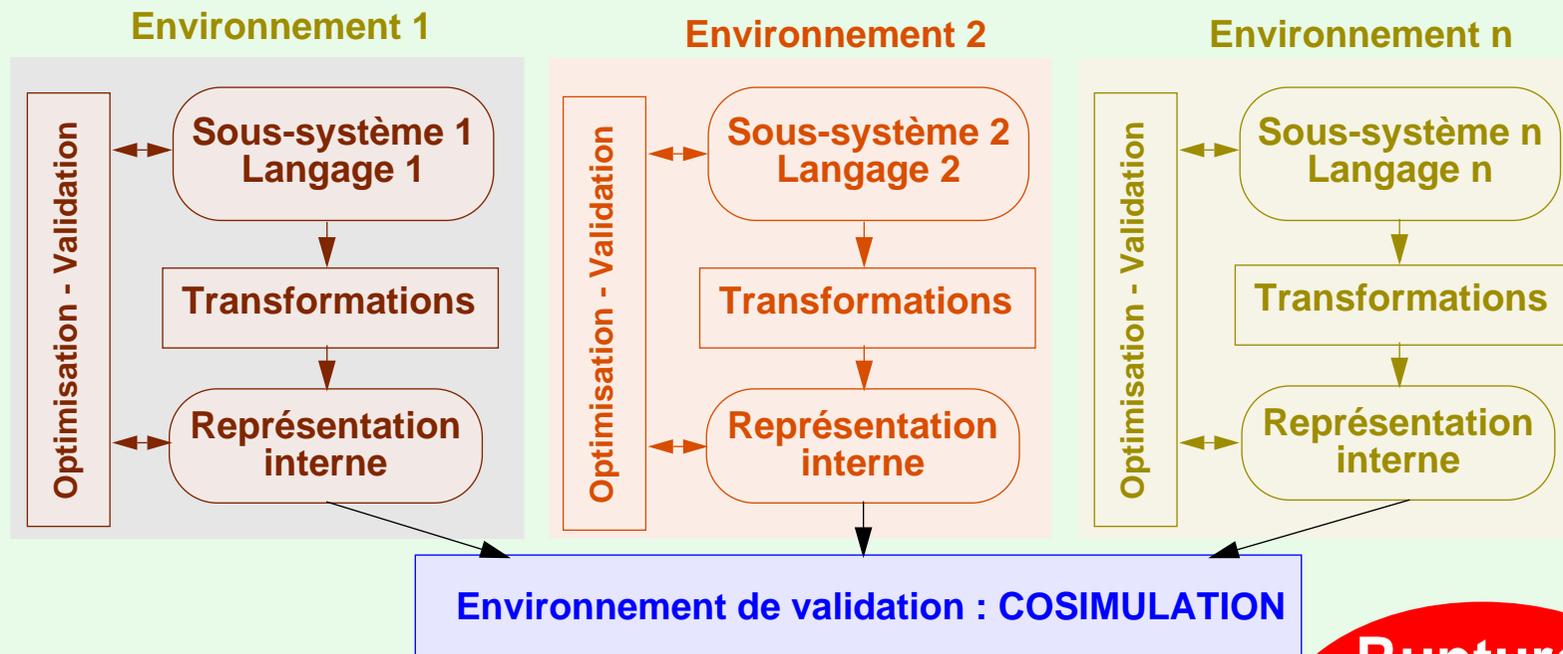
WCET, Analyse d'ordonnançabilité

12

Et les ruptures sémantiques horizontales ?

Le concepteur a un modèle «in mind» du système.

Il effectue une décomposition en sous-systèmes, par langage



E.g. Cosimulation C - VHDL

E.g. Cosimulation Assembleur (ISS) - VHDL RTL

Approche «Langage Driven Design»

**Ruptures
Sémantiques
Horizontales**

L'approche Plateforme n'évite pas les ruptures horizontales

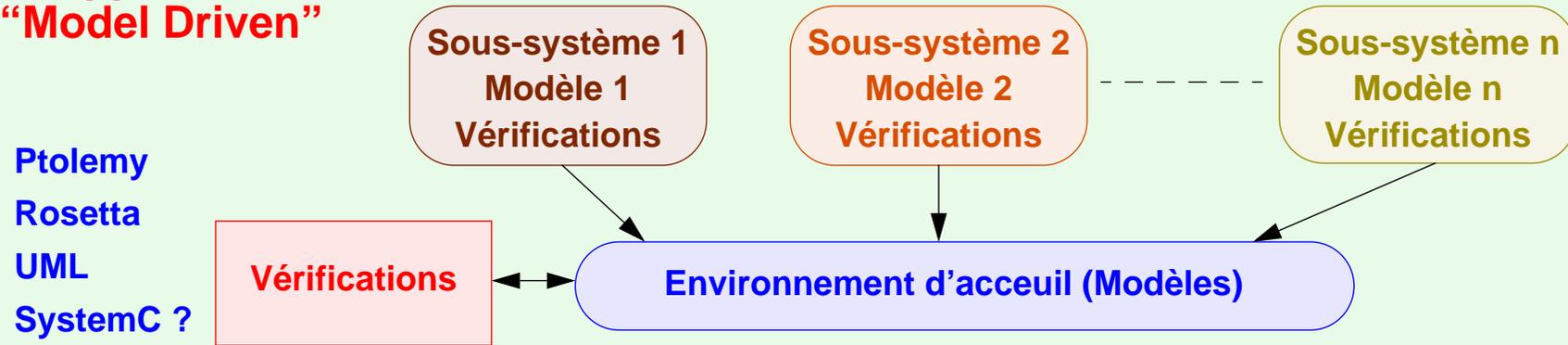
- ❑ **Le choix du langage induit un type de réalisation**
- ❑ **Pas d'optimisation globale :**
 - Optimisations par sous-système (dépendant langage et environnement)**
- ❑ **Nécessite de décrire précisément les communications et les interfaces**
 - Standardisation des protocoles de communication entre IPs (NoC) ?**
- ❑ **Les migrations éventuelles entre sous-systèmes ne sont pas aisées**
- ❑ **Erreurs révélées à l'intégration**



Héritage des environnements de programmation classiques (Hw et Sw)

Approche MDA : Description Multi-Modèles

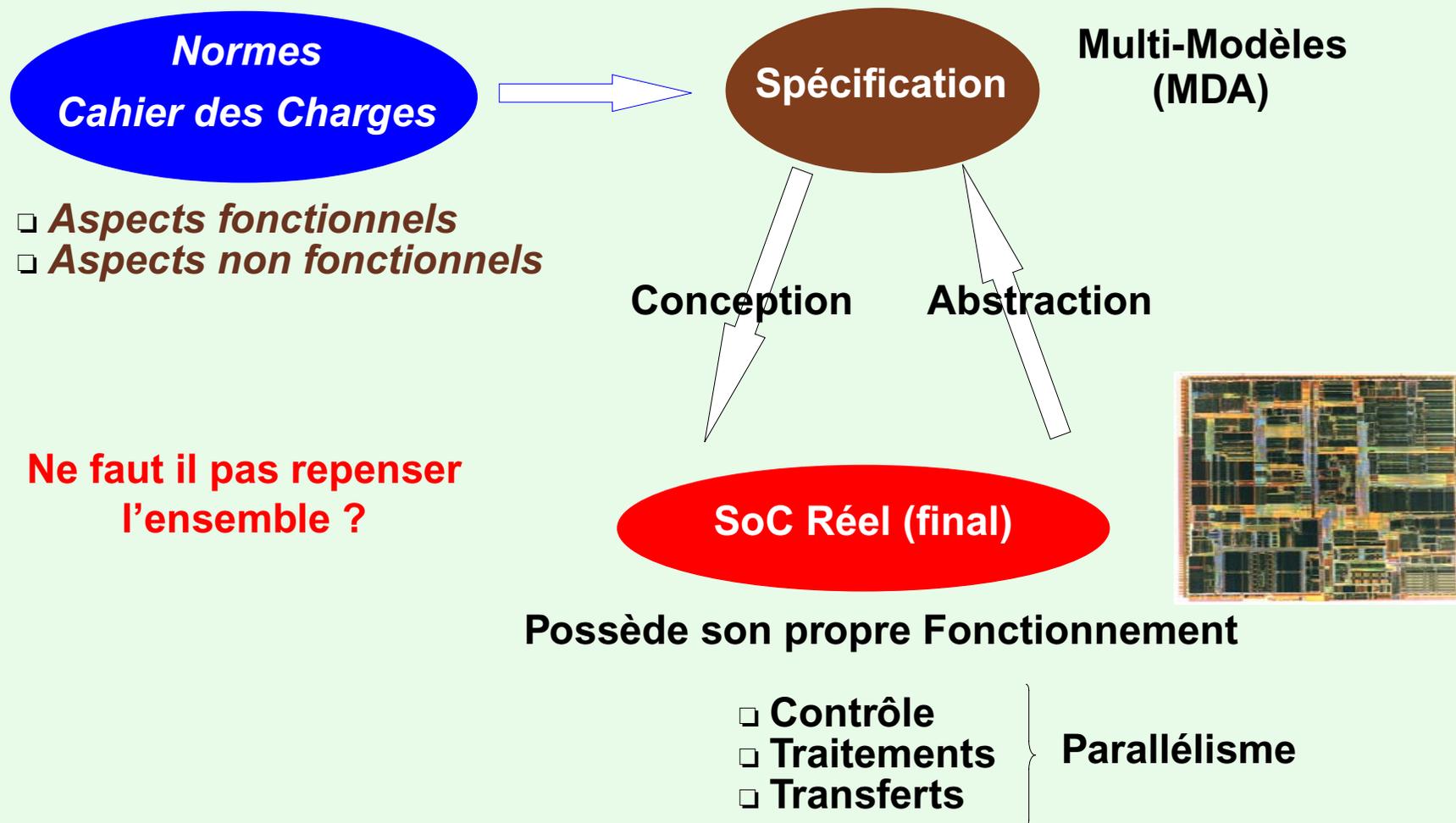
Approche "Model Driven"



- ❑ Un modèle peut être traduit en différents langages :
Choix d'implémentation repoussé
- ❑ Vérifications plus aisées
- ❑ Communications plus abstraite : vérification globale préalable
- ❑ **Problèmes de sémantique**
- ❑ **Et les outils de conception de SoC ?**

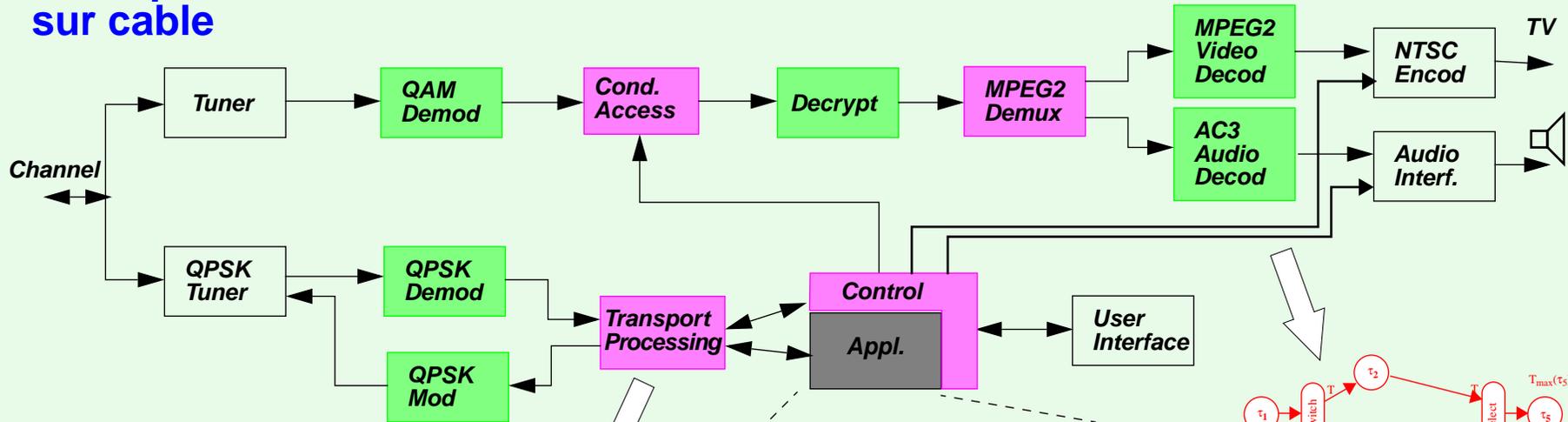
15

A la Rencontre des Mondes

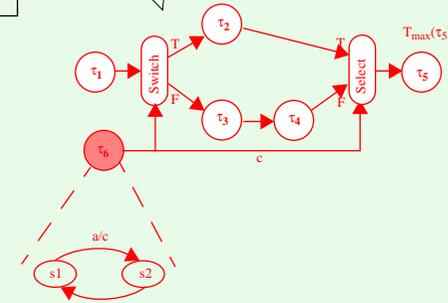
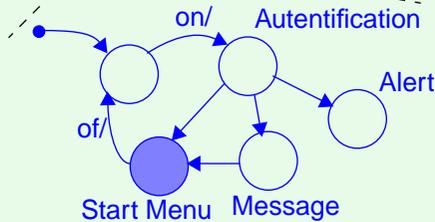
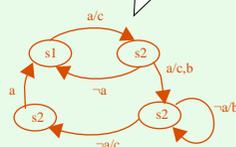


Exemple simplifié

Set-top-box sur cable

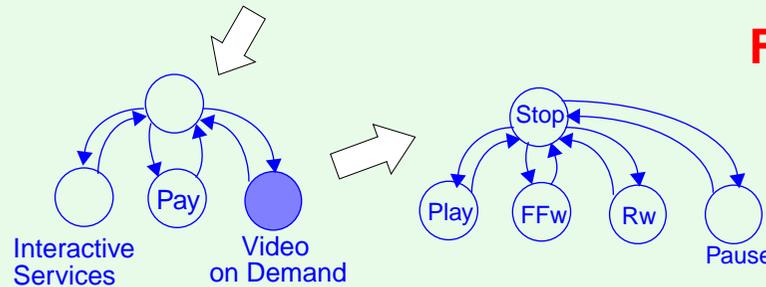


Contrôle multi-niveaux



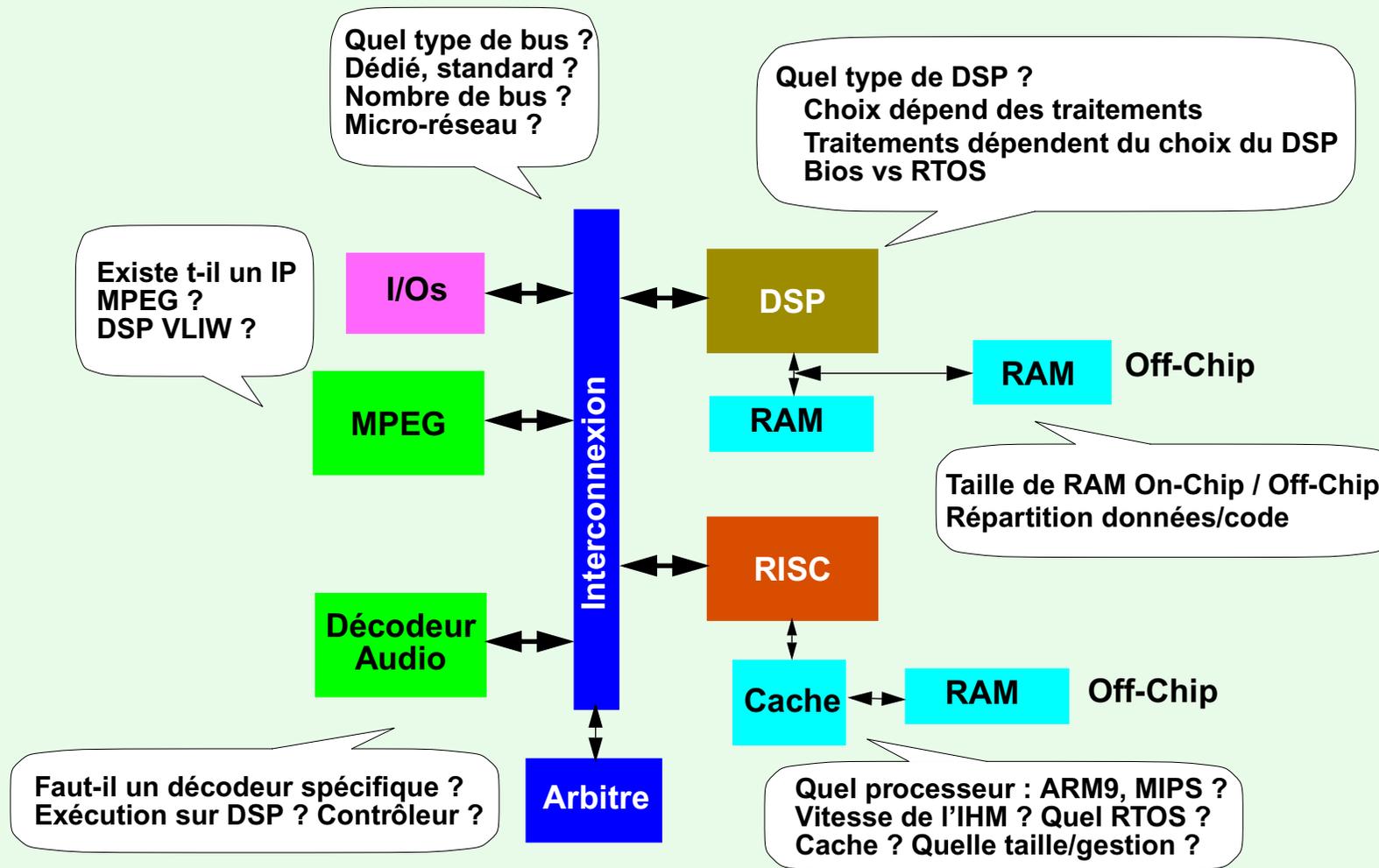
Flots de données multi-cadences conditionnés

Nombreuses contraintes temporelles



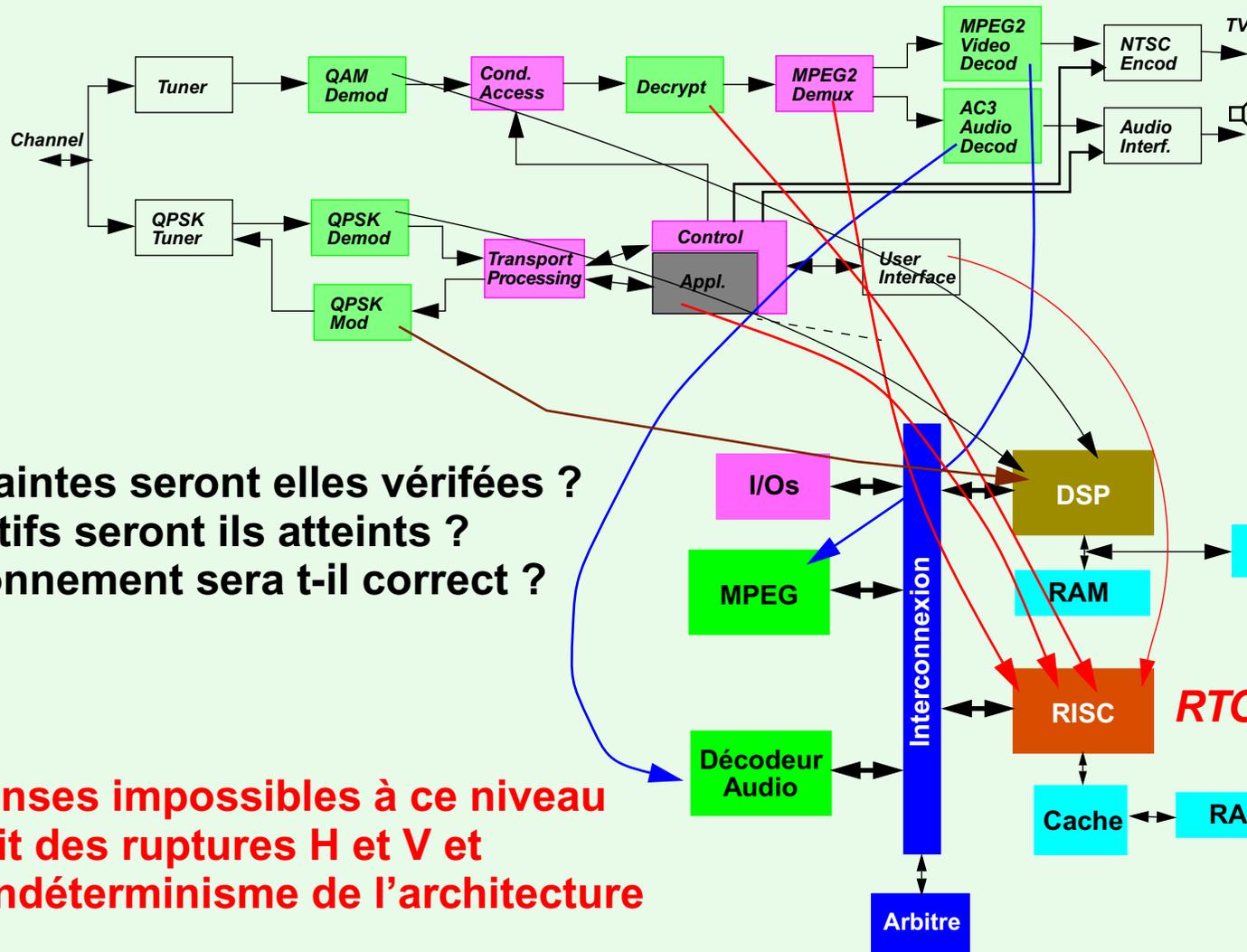
Architecture : Que de décisions a priori !

Quelle architecture, Quelles caractéristiques (WCET, WCEC)?



Contraintes

Quelle répartition des traitements ?



Les contraintes seront elles vérifiées ?
 Les objectifs seront ils atteints ?
 Le fonctionnement sera t-il correct ?

Réponses impossibles à ce niveau
 du fait des ruptures H et V et
 de l'indéterminisme de l'architecture

Contraintes



Adéquation Spécification/Architecture/Méthodes

Où sont les difficultés ? ... Partout

Besoin d'une Spécification adaptée

- ❑ Spécification suivant plusieurs modèles de calcul (type MDA)
- ❑ Spécification exécutable pouvant mimer un schéma d'exécution SoC
- ❑ Vérification globale
- ❑ Décrire des aspects non-fonctionnels (e.g. contraintes)
- ❑ Doit supporter le processus de conception Hw/Sw (comportement)

L'architecture est trop complexe

- ❑ Equilibre entre Performances/Observabilité/Contrôlabilité
Temps d'exécution, communications, consommation
- ❑ Remet en cause couplage Architecture/RTOS/Middleware
- ❑ Possibilité de définir un schéma d'exécution abstrait du SoC

All in one :

- ❑ Permettre des vérifications formelles plus poussées

20

Conclusions

- ❑ Validation d'un SOC : > 50% des coûts de conception
- ❑ 2 à 4 circuits tests avant fabrication (coûts des masques 2 à 4 M\$)
- ❑ La part du logiciel augmente (70%) - logiciel segmenté
- ❑ Possibilités de contrôler la consommation d'énergie
mais les liens Sw/Middleware/RTOS/Hw quasi inexistants



Ces aspects limitent de plus en plus les innovations

Approche plateforme :

- ❑ Basée sur un principe bottom-up (réutilisation)
- ❑ La réutilisation avec l'approche plateforme a des limites :
Applications de type et de complexité très voisins



Coûts de conception d'un nouveau système sont toujours plus grands

21

Urgent de repenser l'ensemble des éléments :

Spécification/Méthodes de conception/Architecture

- ❑ Architecture : Unités Hw, RTOS et middleware, communications
Architecture du système mémoire
- ❑ Rendre le SoC commandable au bon niveau, e.g. consommation
- ❑ Réduire le nombre de «ruptures» et donc de «coutures»

Environnement intégré de conception SoC : Eviter une collection d'outils

Exemple : Compilation,
Analyse WCET et ordonnancement,
Simulation,
Preuve formelle,
Exploration architecture,
Synthèse



Problème Pluridisciplinaire (voire Utopique ?)